

## Sterownik DSP *Ster\_F28335*

### Zastosowanie:

Sterownik jest przeznaczony do zastosowania w układach automatyki przemysłowej a w szczególności jako jednostka przetwarzająca w energoelektronicznych przekształtnikach DC/DC, DC/AC, oraz AC/AC.

### Zalety:

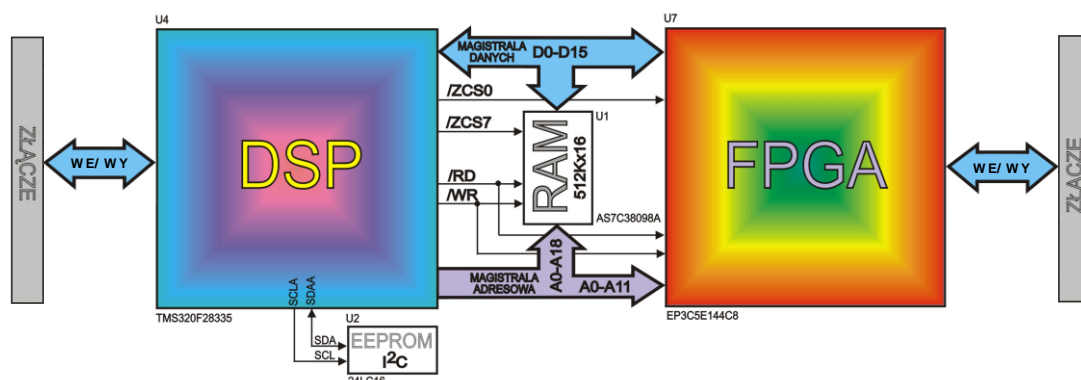
- duża moc obliczeniowa poprzez zastosowanie współdziałających ze sobą układów DSP i FPGA ,
- szeroki wybór interfejsów szeregowych do komunikacji z urządzeniami zewnętrznymi,
- możliwość współpracy z wieloma zewnętrznymi układami peryferyjnymi,
- skraca czas realizacji projektów.

### Budowa:

W skład sterownika wchodzi dwa podstawowe cyfrowe podzespoły przetwarzające - DSP i FPGA (rys. 1), przeznaczone do realizacji zadań związanych ze sterowaniem, akwizycją danych pomiarowych, diagnostyką oraz obsługą interfejsów komunikacyjnych:

- zmiennoprzecinkowy procesor sygnałowy TMS320F28335 firmy Texas Instruments
- układ programowalny FPGA EP3C5 firmy Altera

Elementy DSP i FPGA mogą komunikować się ze sobą za pomocą magistral komunikacyjnych: 16-bitowej równoległej, szeregowej SPI oraz z wykorzystaniem dedykowanych grup lub pojedynczych sygnałów. Do 16-bitowej magistrali równoległej, oprócz procesora sygnałowego i układu programowalnego, podłączona jest również pamięć zewnętrzna - asynchroniczna pamięć RAM. Dodatkowo, zastosowano pamięć EEPROM z magistralą szeregową I<sup>2</sup>C. Jest ona przeznaczona do przechowywania parametrów konfiguracyjnych i nastaw algorytmów sterowania.



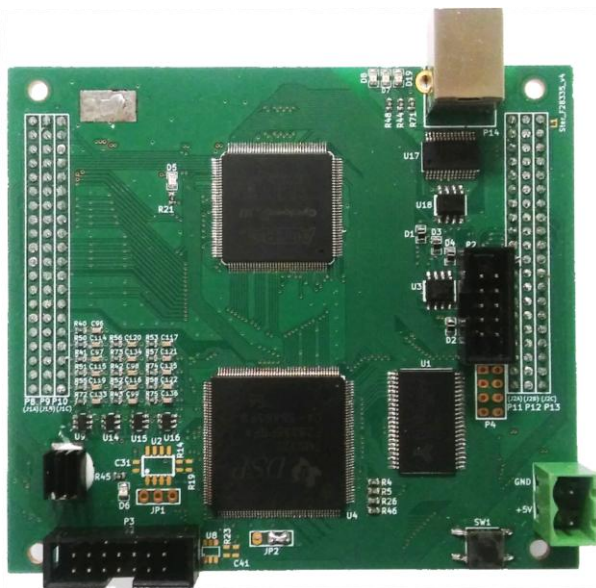
Rys.1. Uproszczony schemat blokowy sterownika

Pozostałe elementy sterownika CPU:

- blok interfejsu USB z separacją galwaniczną do komunikacji z komputerem PC,
- układy zasilające, zapewniające wymagane napięcia zasilania 3.3/2.5/1.2V,
- zewnętrzny układ monitorująco-nadzorujący (TPS3307-18),
- oscylatory zewnętrzne,
- zewnętrzne źródło napięcia referencyjnego przetwornika A/C.

Podstawowe parametry techniczne:

Parametr *	Wartość
Napięcie zasilania	5V
Pobór prądu	400 mA
Max. częstotliwość pracy (DSP)	150 MHz
Wewnętrzna pamięć FLSAH/ RAM (DSP)	256k x16/34k x16
Zewnętrzna pamięć RAM	512k x16
Przetworniki ADC (DSP)	16 kan. 12-bit
Max. częstotliwość pracy (FPGA)	315 MHz
Liczba elementów logicznych (FPGA)	5136



Rys. 2. Widok płytki sterownika DSP Ster\_28335

---

KONTAKT

dr inż. Eugeniusz Łowiec    [eugeniusz.lowiec@iel.pl](mailto:eugeniusz.lowiec@iel.pl)

Bałtycka Pracownia Technologii Energoelektronicznych w Gdyni  
Park Konstruktorów, 81-336 Gdynia, ul. Czechosłowacka 3  
+58 728 71 80; email: [bapte@iel.pl](mailto:bapte@iel.pl)